

The logo of Universitas Brawijaya is a shield-shaped emblem. It features a central figure, likely a deity or historical figure, holding various symbols. The text "DEPARTEMEN PENDIDIKAN NASIONAL" is written along the top inner edge of the shield, "UNIVERSITAS BRAWIJAYA" along the bottom inner edge, and "MALANG" at the very bottom. The entire logo is rendered in a light, semi-transparent grey color.

# Rangkaian Logika Kombinasional

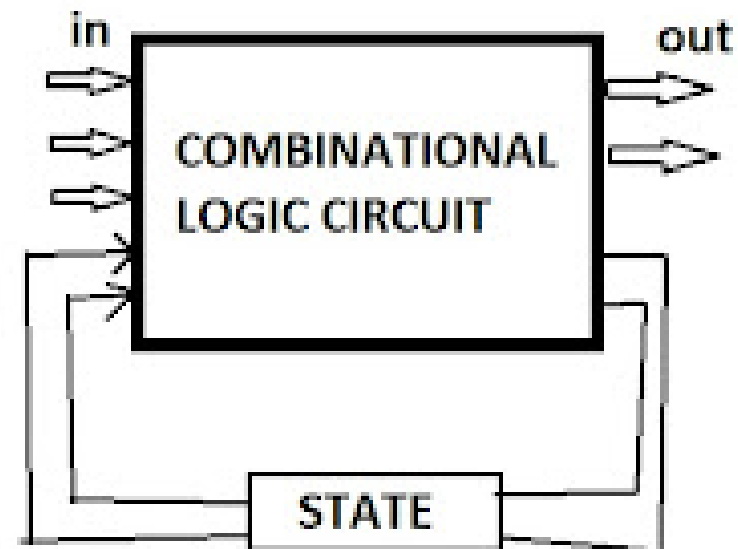
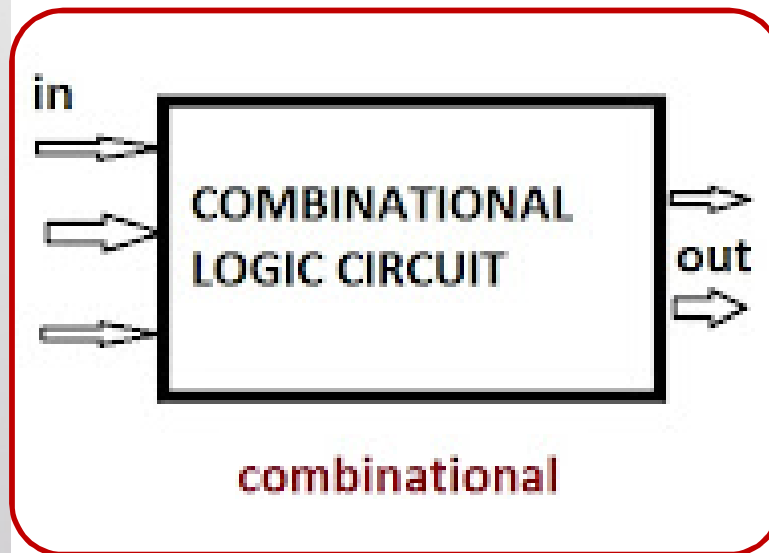
Eka Maulana, ST, MT, MEng.

TEKNIK INFORMATIKA

# KOMBINASIONAL



KOMBINASIONAL → **memoryless**



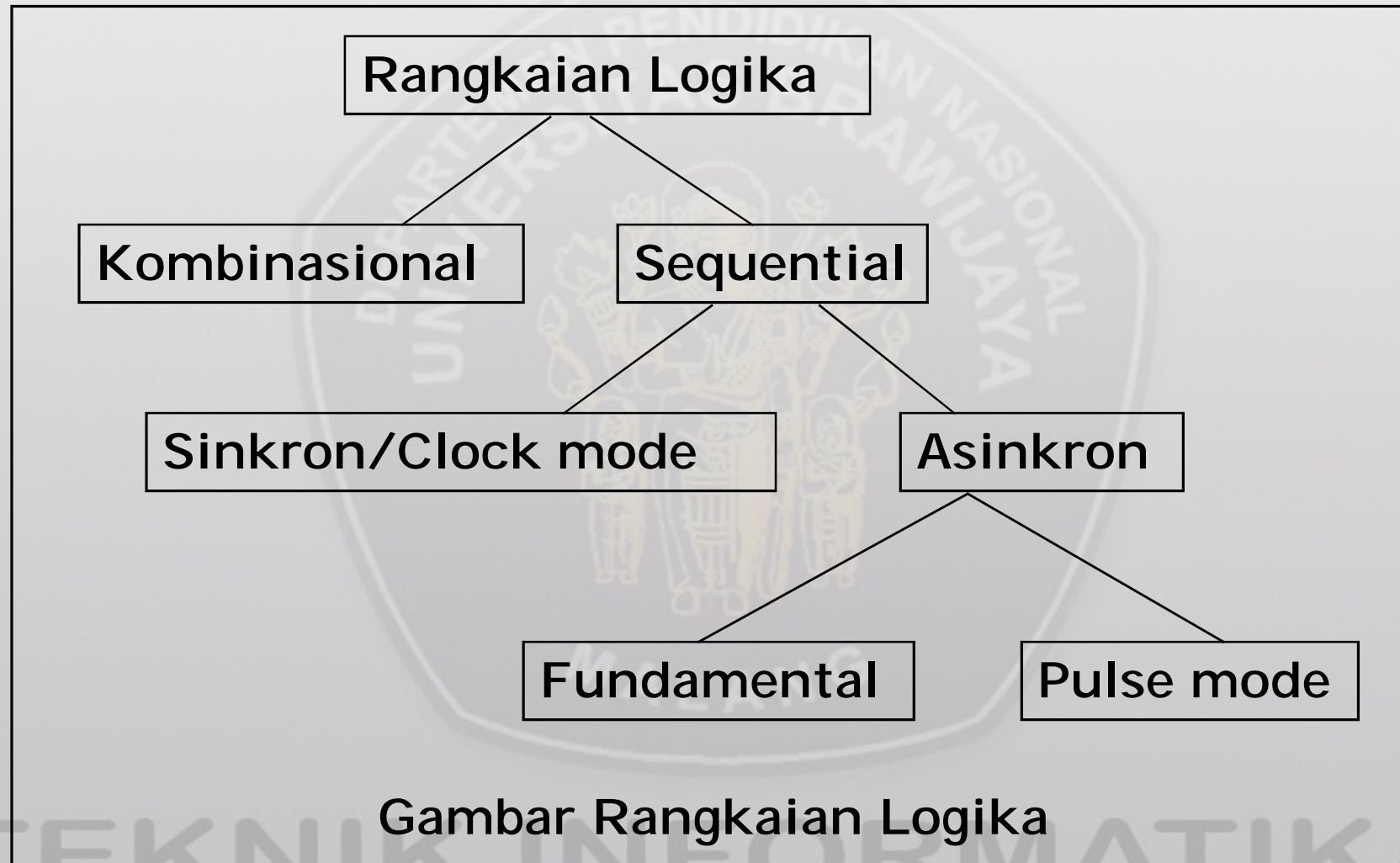
Sequential

## IX. RANGKAIAN LOGIKA KOMBINASIONAL

### A. PENDAHULUAN

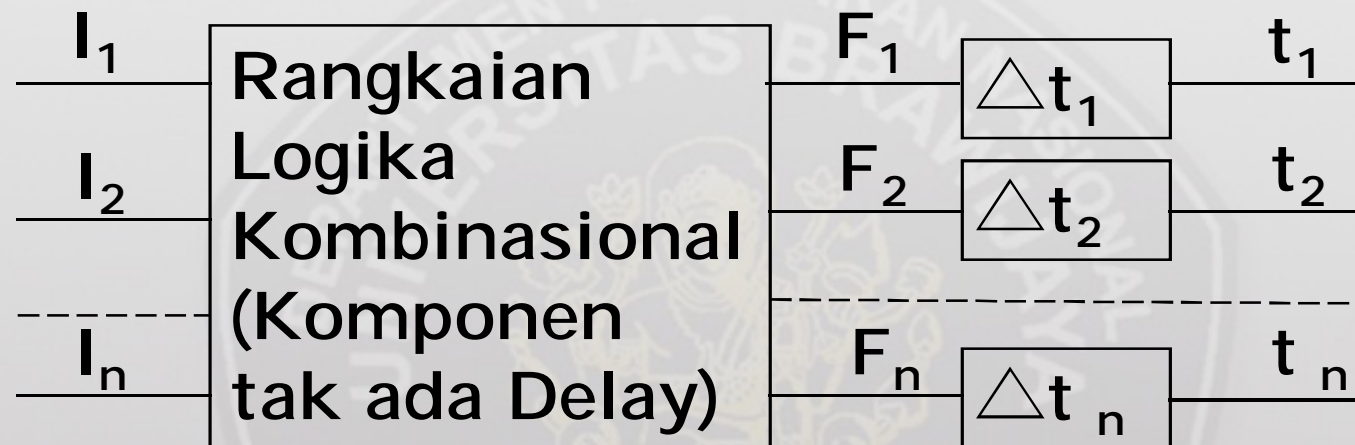
- Suatu rangkaian diklasifikasikan sebagai kombinasional jika memiliki sifat yaitu keluarannya ditentukan hanya oleh masukan eksternal saja.
- Suatu rangkaian diklasifikasikan sequential jika ia memiliki sifat keluarannya ditentukan oleh tidak hanya masukan eksternal tetapi juga oleh kondisi sebelumnya.

# Lanjutan.....



Gambar Rangkaian Logika

# MODEL RANGKAIAN KOMBINASIONAL



Dengan :

$$F_1 = F_1(I_1, I_2, \dots, I_n ; t_1 = F_1 \text{ setelah } \Delta t_1$$

$$F_2 = F_2(I_1, I_2, \dots, I_n ; t_2 = F_2 \text{ setelah } \Delta t_2$$

$$F_n = F_n(I_1, I_2, \dots, I_n ; t_n = F_n \text{ setelah } \Delta t_n$$

# Lanjutan .....

**F ( kapital ) = Sinyal steady state dengan asumsi tidak ada delay.**

**t ( kecil ) = Sifat dinamis dari sinyal yang dapat berubah selama interval waktu  $\Delta t$ .**

## B. PROSEDUR PERANCANGAN

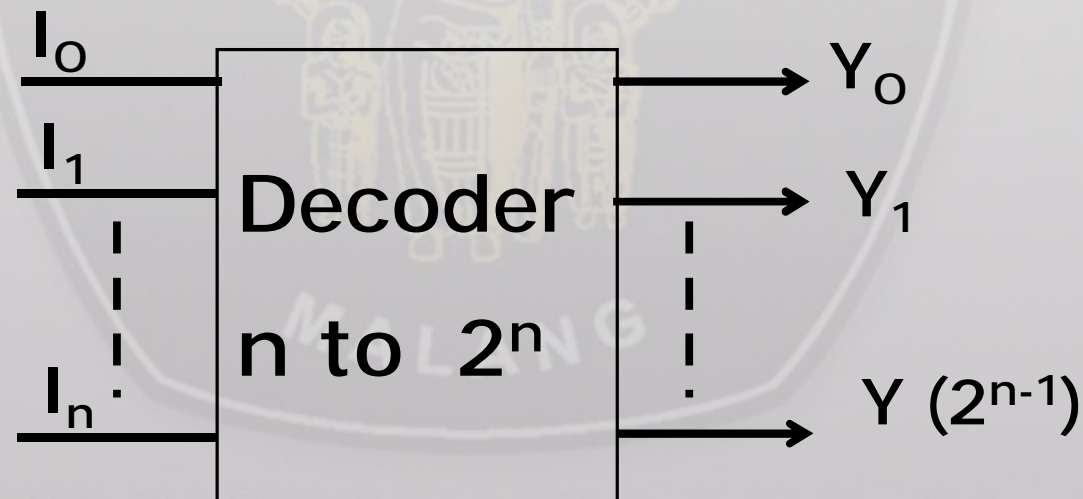
- a. Pokok permasalahan sudah ditentukan yaitu jumlah input yang dibutuhkan serta jumlah output yang tertentu.
- b. Susun kedalam tabel kebenaran (Truth Table).
- c. Kondisi don't care dapat diikuti sertakan apabila tidak mempengaruhi output.



## C. DECODER

Decoder adalah rangkaian kombinasi yang akan memilih salah satu keluaran sesuai dengan konfigurasi input. Decoder memiliki  $n$  input dan  $2^n$  output.

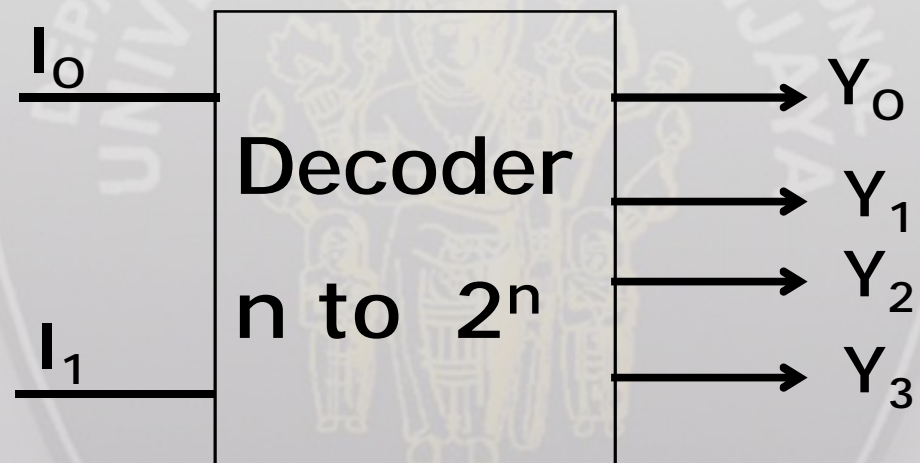
Blok Diagram Decoder.





# Lanjutan .....

Untuk Decoder 2 to 4

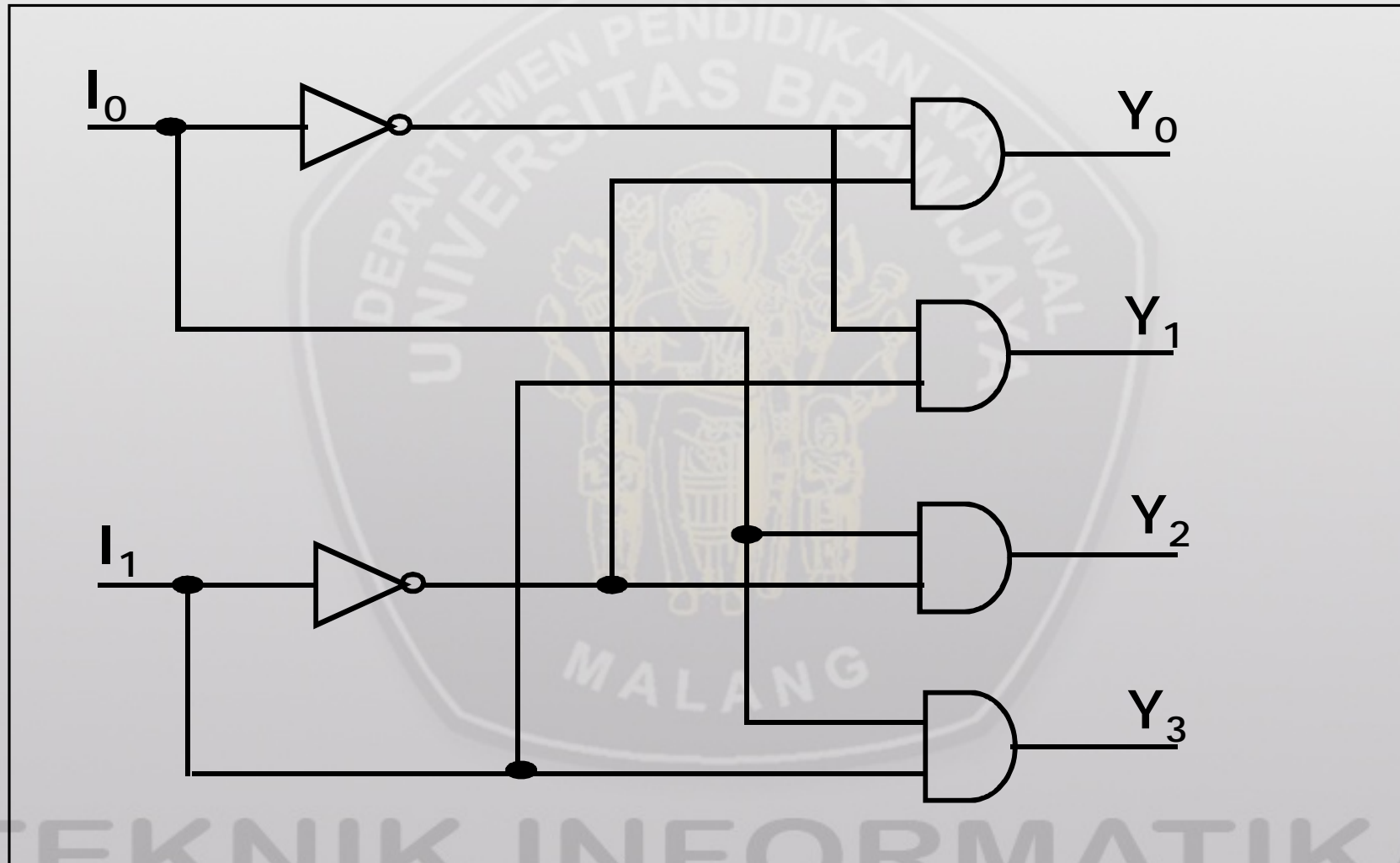


# Lanjutan .....

Tabel Kebenaran

$I_0$	$I_1$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

# RANGKAIAN LOGIKA



Untuk merancang rangkaian kombinasional dapat digunakan Decoder dan eksternal OR gate (rangkaian kombinasi  $n$  - input dan  $m$ -output dapat diimplementasikan dengan  $n$  to  $2^n$  line decoder dan  $m$  - OR gate).

Contoh.

Implementasikan suatu Full Adder dengan memakai Decoder dan 2 gerbang OR

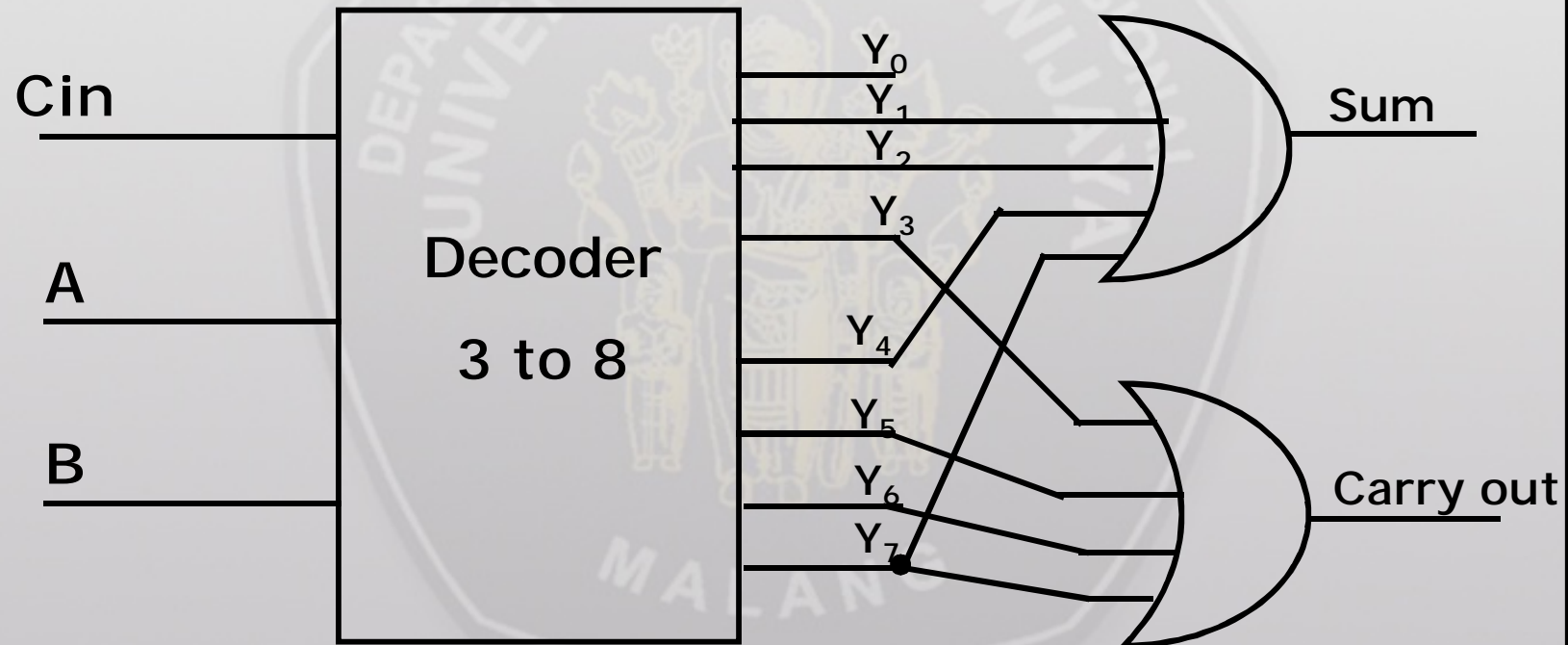
Jawab :

$$\text{Sum} = A \oplus B \oplus \text{Cin} = \Sigma 1, 2, 4, 7$$

$$\text{Carry out} = (A \oplus B) \text{Cin} + AB = \Sigma 3, 5, 6, 7$$

# Lanjutan.....

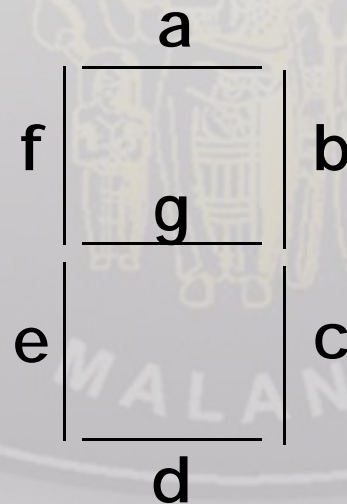
## Gambar Rangkaian Logika



# CONTOH PERANCANGAN DECODER

Rancang BCD to Desimal Decoder untuk mengubah BCD ke seven segment ?

Catatan : Seven Segment.



## D. ENCODER

Encoder adalah rangkaian kombinasi yang merupakan kebalikan dari Decoder yaitu menghasilkan output kode biner yang berkorespondensi dengan nilai input. Encoder memiliki  $2^n$  input dan  $n$  output.

Tabel kebenaran Encoder 4 to 2

INPUT				OUTPUT	
$I_0$	$I_1$	$I_2$	$I_3$	X	Y
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

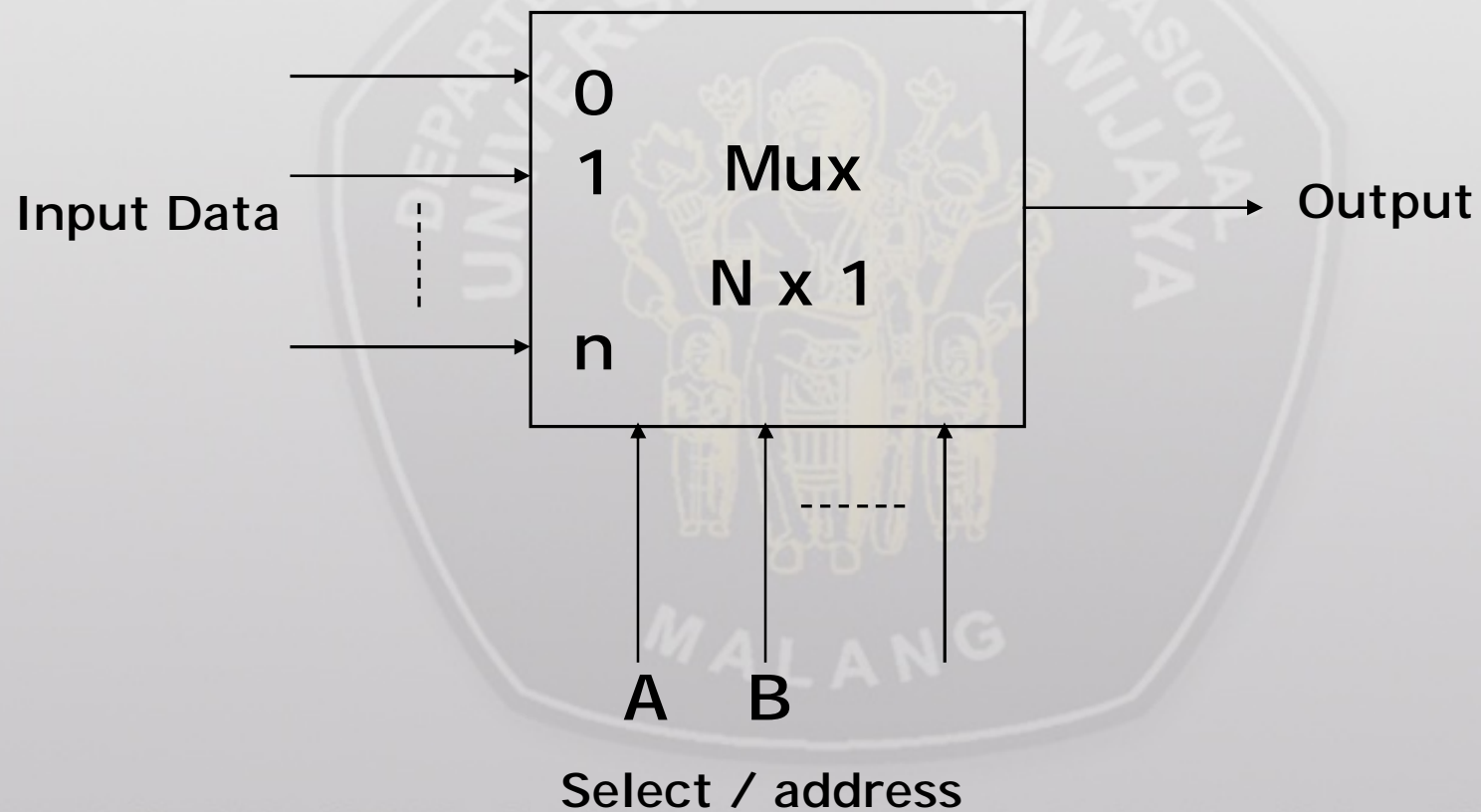
$$X = I_2 + I_3$$

$$Y = I_1 + I_3$$



# E. MULTIPLEXER ( MUX )

Blok Diagram Logika Mux.



## PROSEDUR PERANCANGAN RANGKAIAN KOMBINASIONAL DENGAN MUX

1. Buat tabel kebenaran sesuai dengan kondisi input dan output serta nomor Mintermnya.
2. Salah satu variabel input digunakan sebagai Data dan sisanya dari variabel input sebagai address/selector.
3. Buat tabel Implementasi dan lingkari nomor Mintermnya yang sesuai dengan outputnya.
4. Jika 2 Mintermnya dalam satu kolom dilingkari, maka input Mux adalah 1 dan sebaliknya input Mux adalah berlogika 0
5. Jika nomor Mintermnya hanya dilingkari pada salah satu baris dalam kolom yang sama, maka input Mux akan berlogika sesuai dengan baris persamaan pada variabel yang diberikan.

**Contoh !**

**Implementasikan  $F(ABC) = \Sigma 1,3,5,6$   
dengan Mux (4x 1).**

**Jawab:**

**Tabel Kebenaran.**

Minterm	INPUT			OUTPUT
	A	B	C	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

# Lanjutan.....

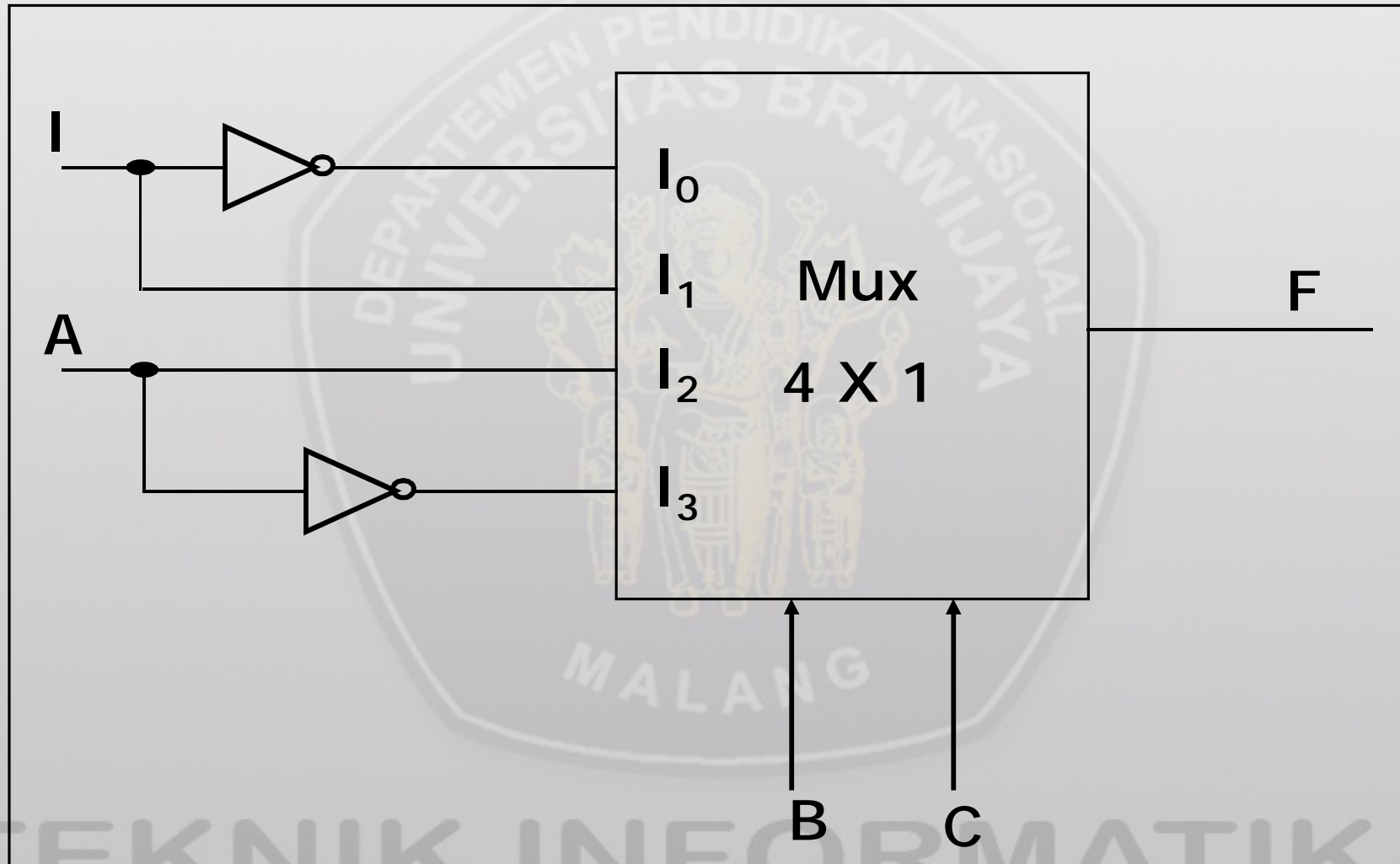
## Catatan.

Input Variabel A diambil sebagai data sedangkan B dan C sebagai address.

Tabel Implementasi.

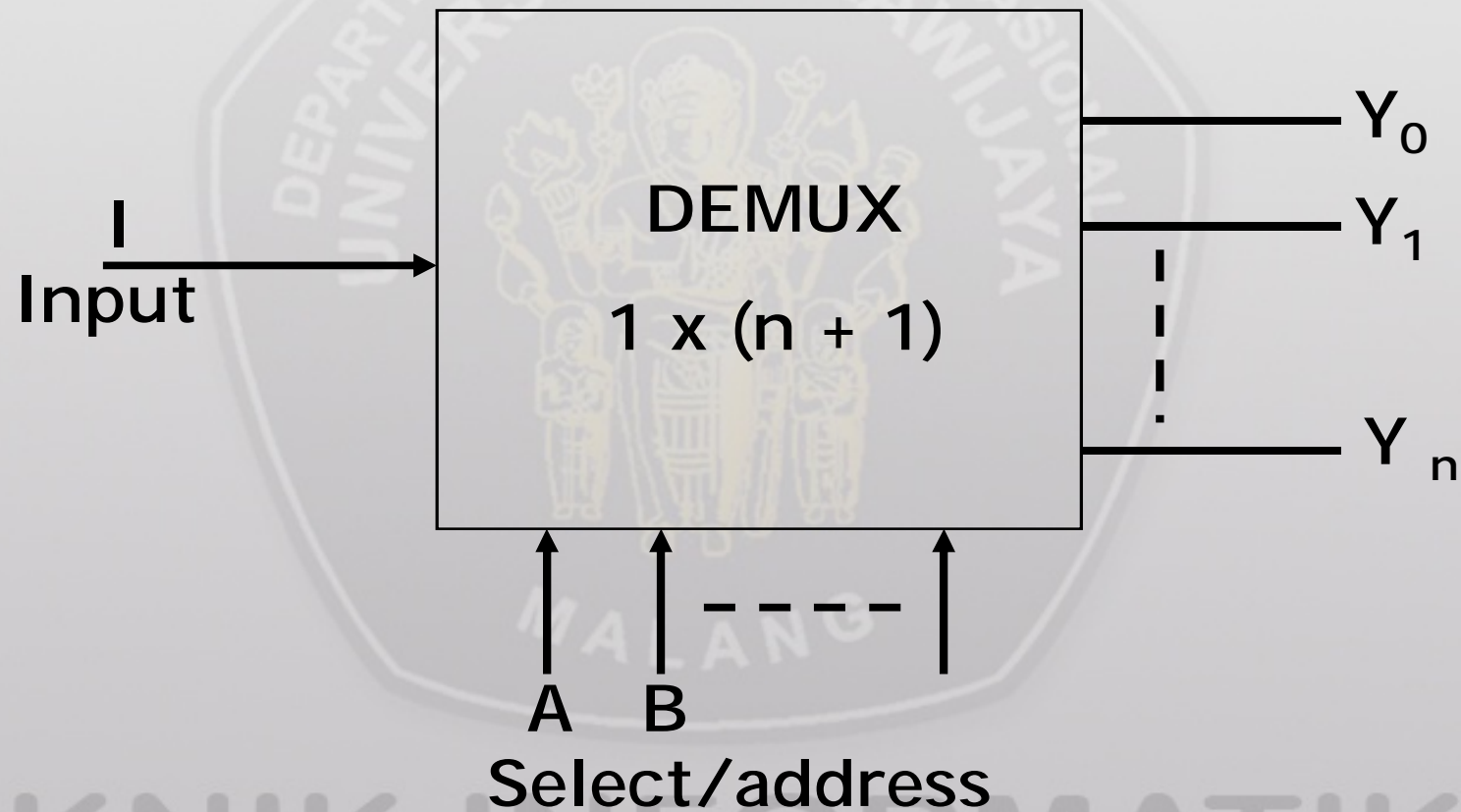
	$I_0$	$I_1$	$I_2$	$I_3$
$\bar{A}$	0	1	0	1
A	0	1	1	0
	0	1	A	$\bar{A}$

# GAMBAR RANGKAIAN LOGIKA



# F. DEMULTIPLEXER (DEMUX)

## Blok Diagram Logika DEMUX



## X. RANGKAIAN LOGIKA KOMBINASIONAL

### A. ADDER

Manipulasi matematika seperti menjumlah, mengurangi, mengali dan membagi dapat dilakukan dengan logika penjumlahan.



# a. HALF ADDER ( HA )

Tabel kebenaran

INPUT		OUTPUT	
A	B	S (Sum)	C (Carry)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Simbol Half Adder



Dimana : A

$$\begin{array}{r} B \\ \hline C \quad S \end{array} +$$

# Lanjutan.....

Persamaan output

→ Untuk Sum

	B'	B
A'	0	1
A	1	0

$$S = AB' + A'B = A \oplus B$$

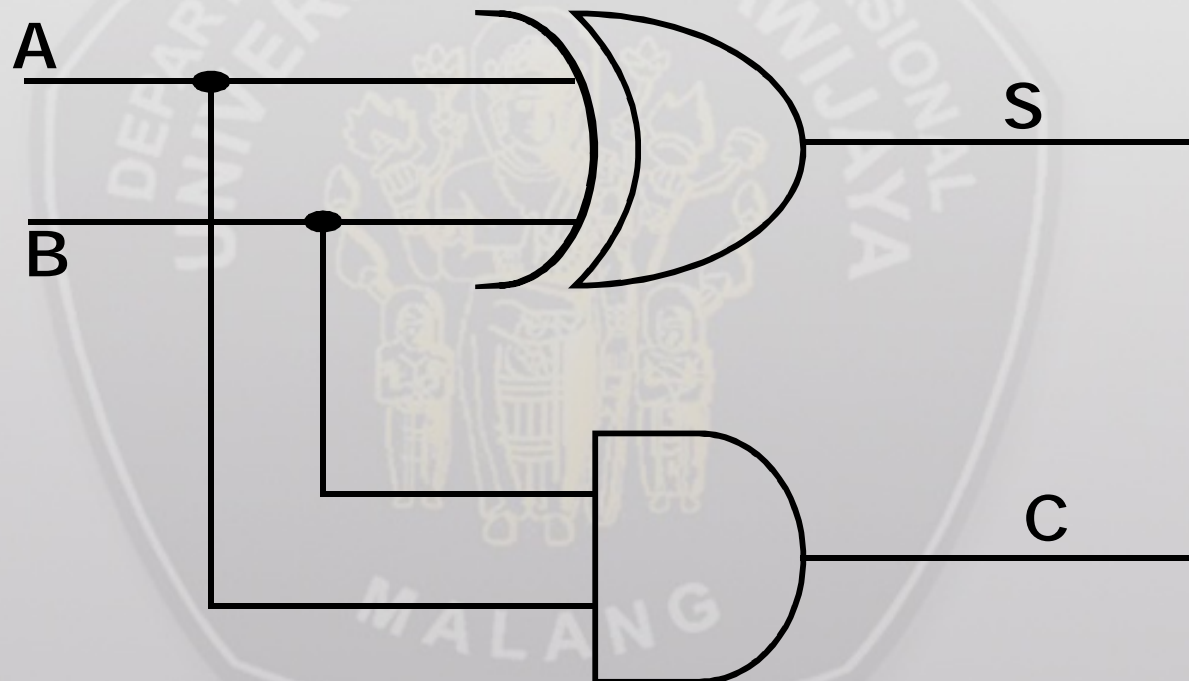
→ Untuk Carry

	B'	B
A'	0	0
A	0	1

$$C = AB$$

# Lanjutan .....

## Rangkaian Logika



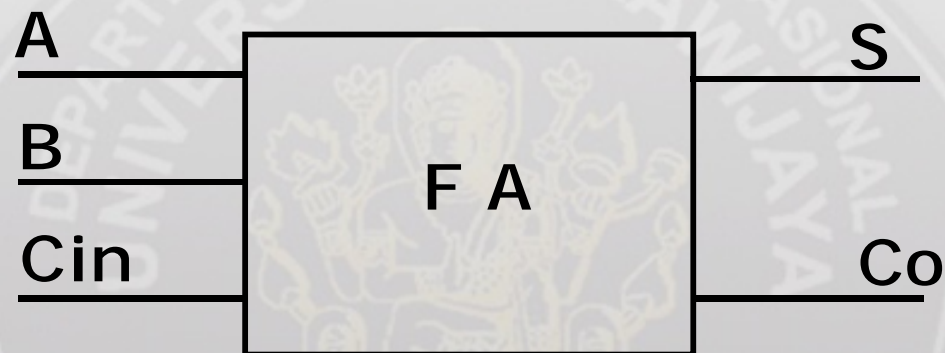
## b. FULL ADDER

Tabel Kebenaran.

INPUT			OUTPUT	
A	B	Cin	S (Sum)	Co (Carry out)
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	1	1
1	1	0	0	1
1	1	1	1	1

# Lanjutan .....

## Simbol Full Adder



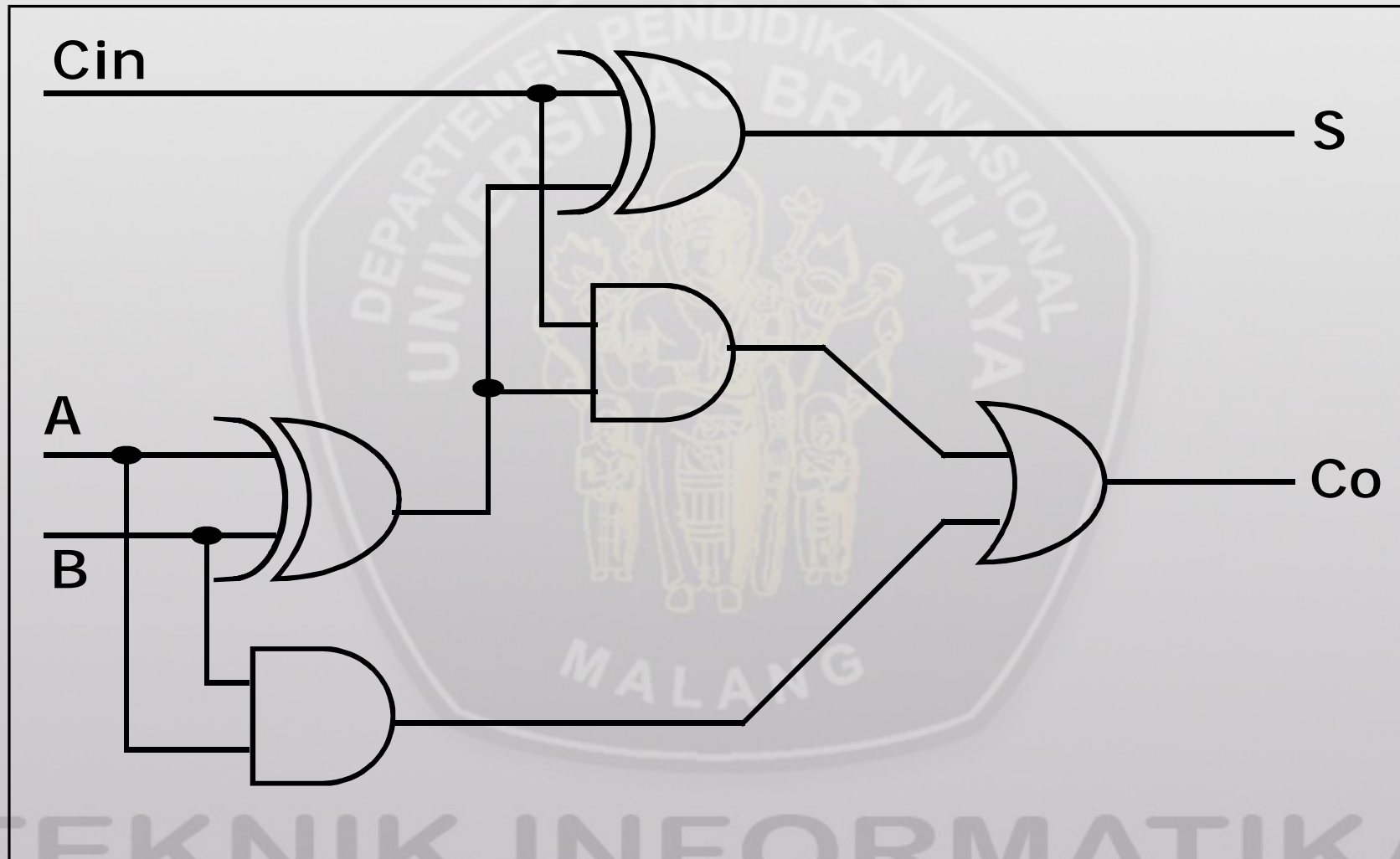
$$\begin{array}{r} \text{Cin} \\ A \\ B \\ \hline \text{Co} \quad S \end{array} +$$

## Persamaan Output (Metode Minterm)

$$\begin{aligned} S &= A'B'Cin + ABCin' + AB'Cin' + ABCin \\ &= A' (B'Cin + BCin') + A (B'Cin' + BCin) \\ &= A' (B \oplus Cin) + A (B \oplus Cin)' \\ &= A \oplus B \oplus Cin \end{aligned}$$

$$\begin{aligned} Co &= A'BCin + AB'Cin + ABCin' + ABCin \\ &= Cin (A'B + AB') + AB (Cin' + Cin) \\ &= Cin (A \oplus B) + AB \end{aligned}$$

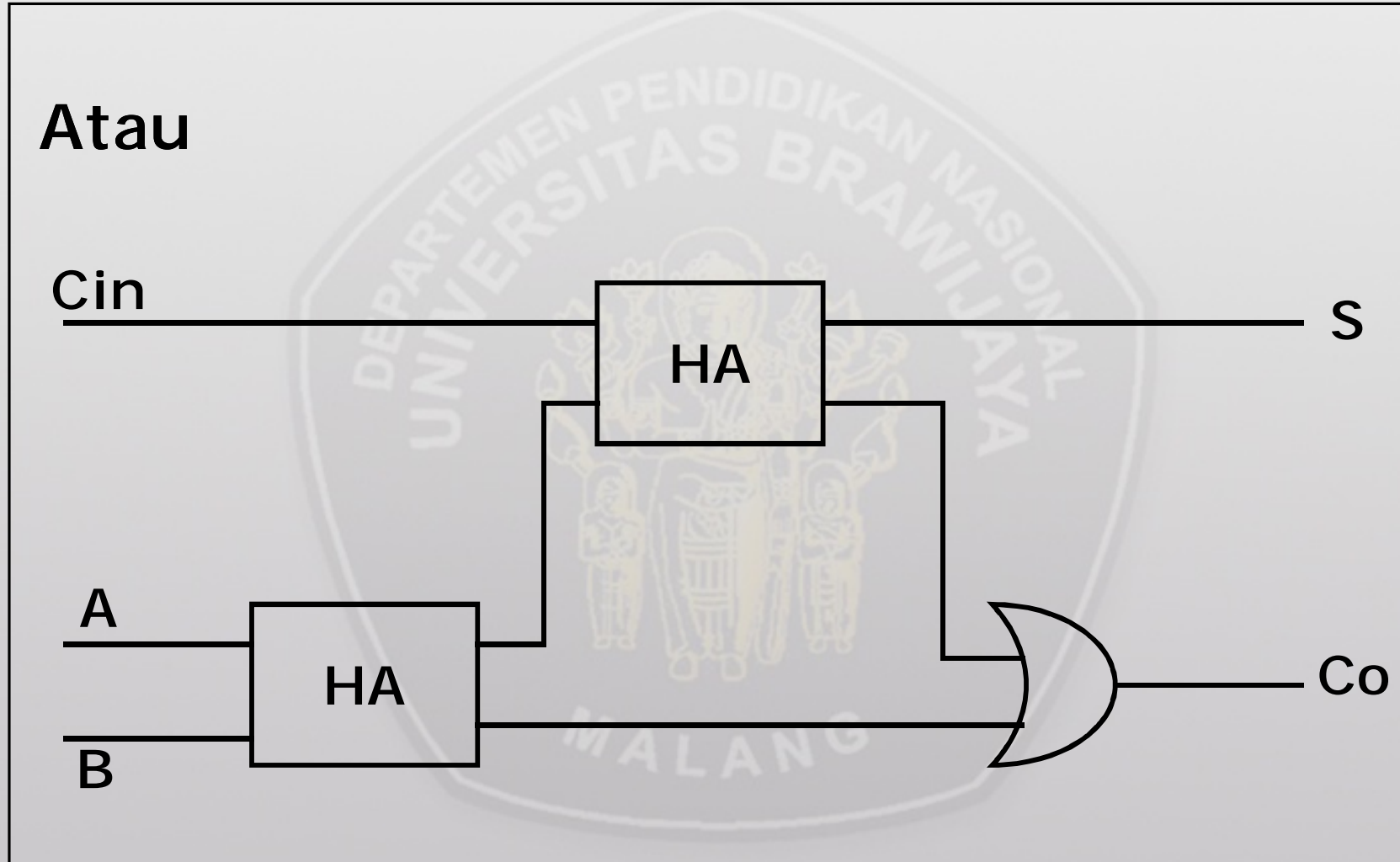
# Gambar Rangkaian Logika





# Lanjutan .....

Atau



## B. SUBTRACTOR

Untuk memahami azas - azas rangkaian pengurang (subtractor) kita ikuti aturan pengurangan biner sebagai berikut :

### 1. Half Subtractor (HS).

A - B = D (Difference).    B (Borrow)

$$0 - 0 = 0$$

$$0 - 1 = 1 \quad \text{dan Borrow 1}$$

$$1 - 0 = 1$$

$$1 - 1 = 0$$

# Lanjutan .....

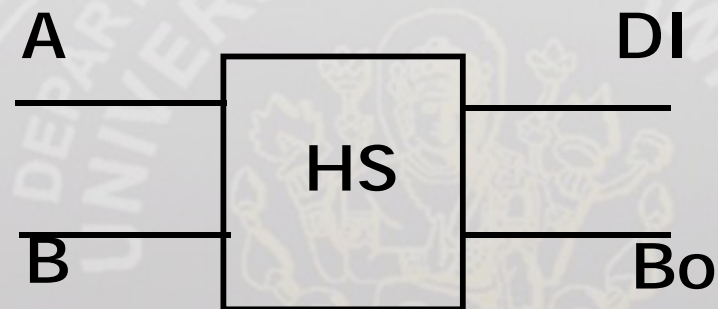
Aturan tersebut kita nyatakan dalam tabel kebenaran.

INPUT		OUTPUT	
A	B	DI	BO
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$\begin{array}{r} A \\ B \\ \hline Bo \quad DI \end{array} +$$

# Lanjutan .....

## Simbol Half Subtractor (HS)

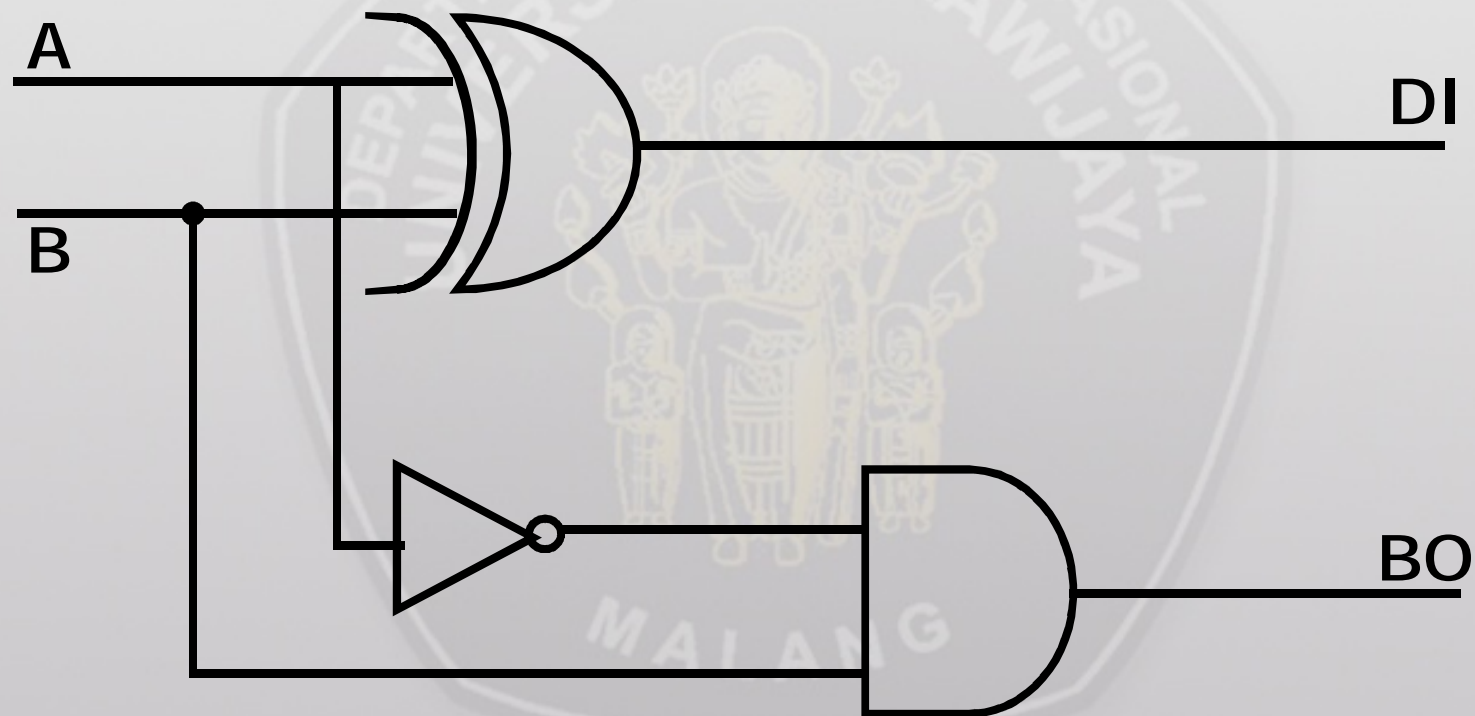


Persamaan output.

Untuk  $DI = A'B + A'B' = A + B$

$$Bo = A' B$$

# RANGKAIAN LOGIKA HS



## 2. FULL SUBTRACTOR

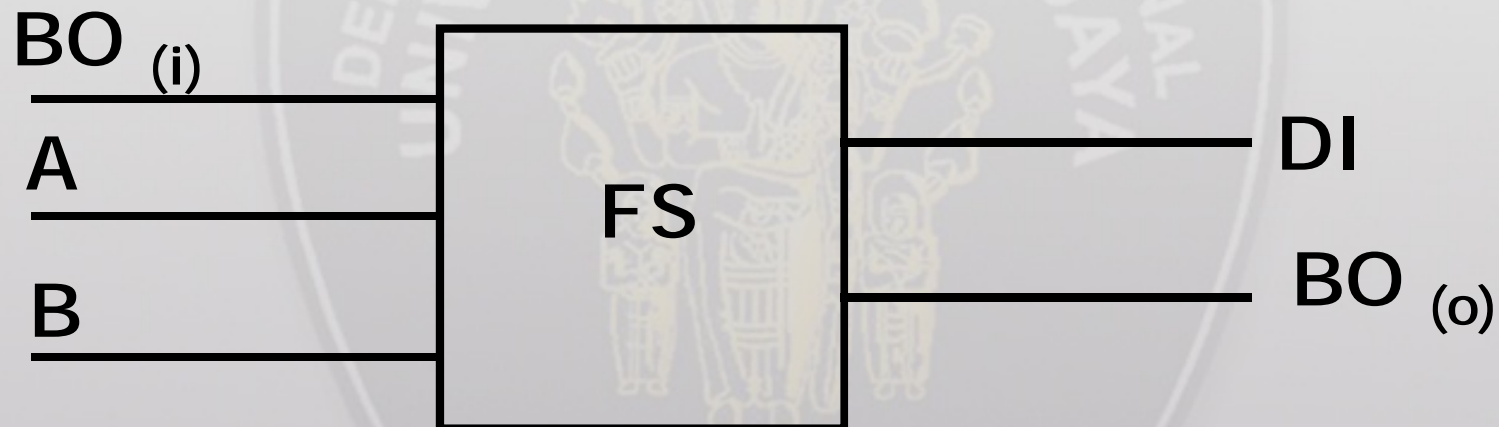
Tabel kebenaran

INPUT			OUTPUT	
A	B	BO (i)	DI	BO (o)
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

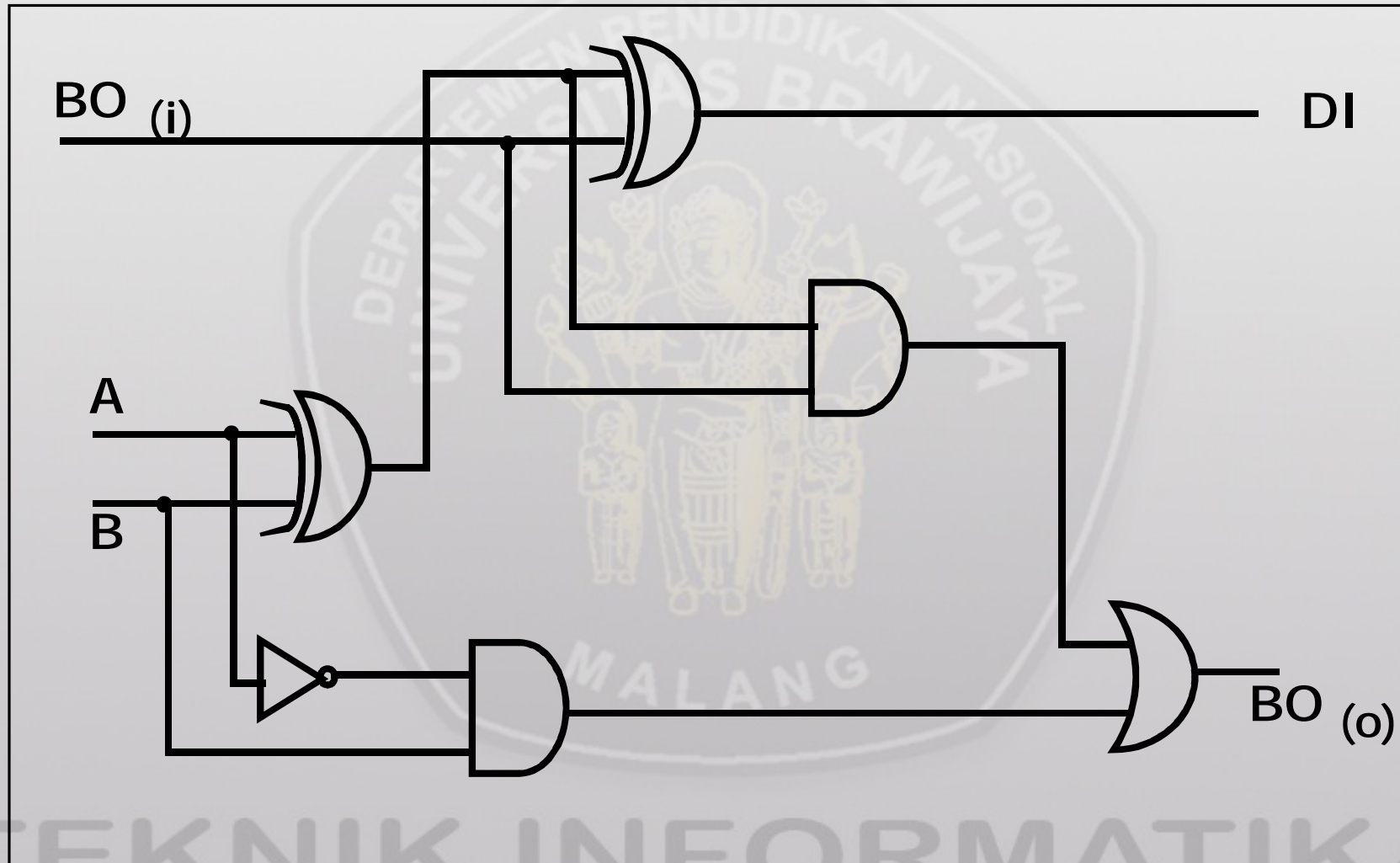
$$\begin{array}{r}
 A \\
 B \\
 \text{BO (i)} \\
 \hline
 \text{BO (o)} \quad \text{DI} \quad -
 \end{array}$$

# Lanjutan .....

## Simbol Full Subtractor (FS)



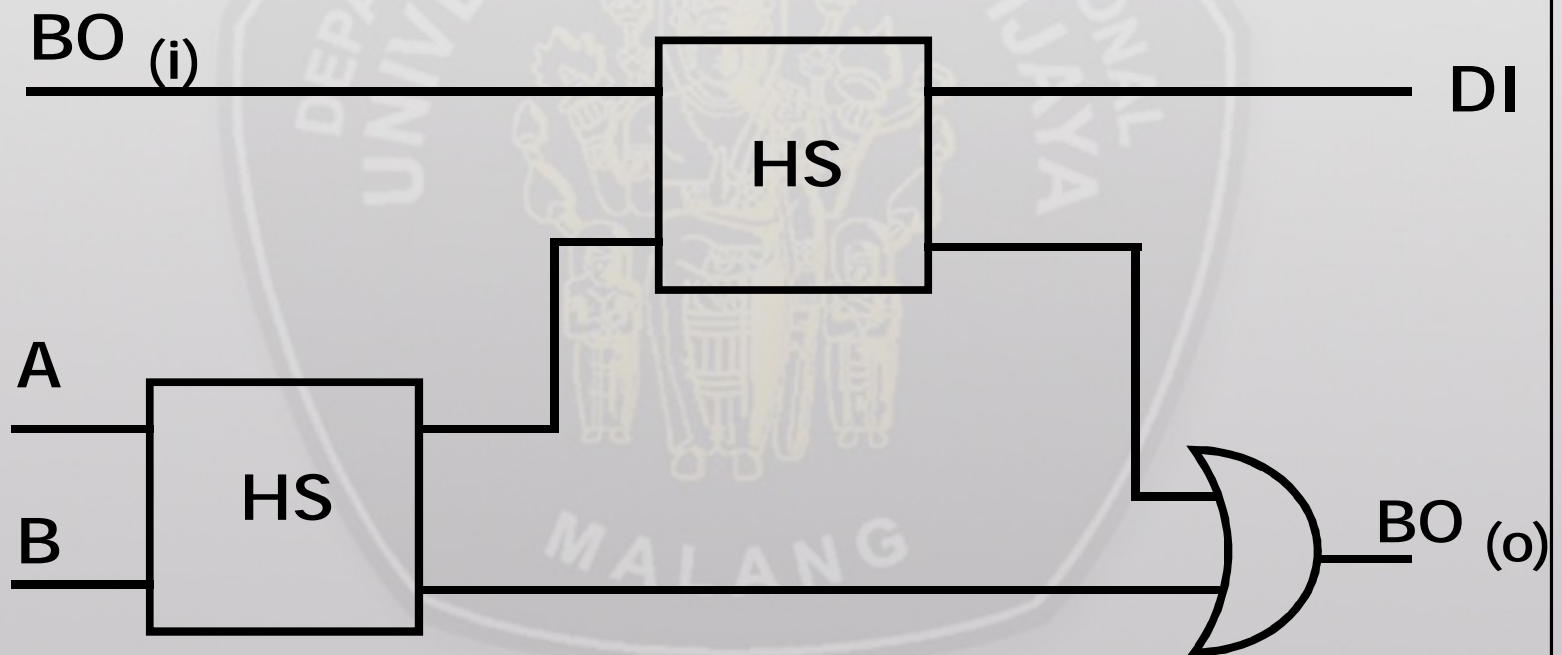
# RANGKAIAN LOGIKA FULL SUBTRACTOR





# Lanjutan.....

Atau



## C. COMPARATOR

Adalah suatu rangkaian kombinasi yang berfungsi sebagai pembandingan 2 variabel dengan multi bit.

Gambar Blok Diagram Comparator



# CONTOH.

Rancang rangkaian kombinasi sebagai Comparator untuk membandingkan A dan B yang terdiri dari 1 bit.

Jawab.

Tabel kebenaran.

INPUT		OUTPUT		
A	B	$A > B$	$A < B$	$A = B$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

# Lanjutan .....

## Persamaan Boolean

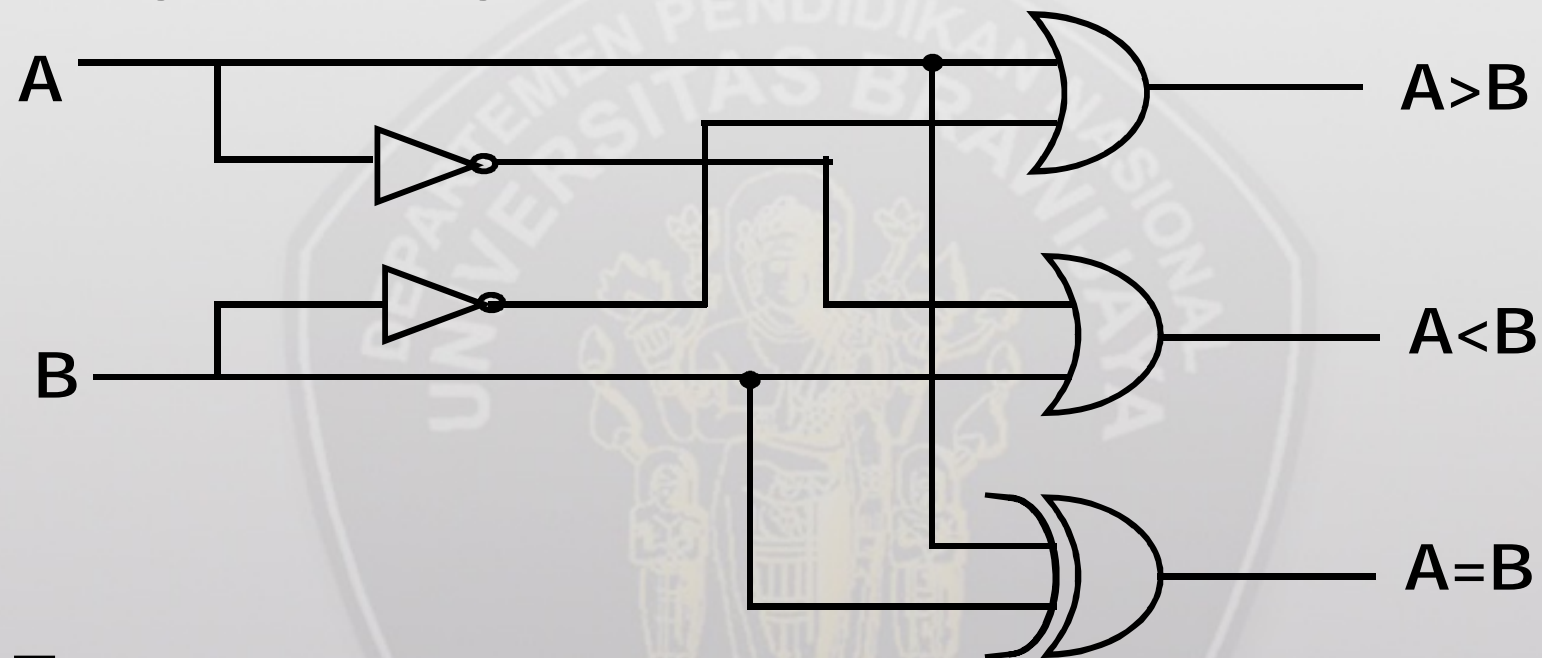
$$F (A > B) = AB'$$

$$F (A < B) = A'B$$

$$F (A = B) = (AB)' + AB = (A + B)'$$

# Lanjutan .....

## Rangkaian Logika



Tugas.

Rancang dengan Comparator untuk membandingkan A dan B yang masing - masing variabel terdiri dari 2 bit